

第七章 数模和模数的转换

7.1 概述

7.2 D/A转换器

7.3 A/D转换器

7.1 概述

如图7-1所示的是一个数字控制系统输入/输出信号关系示意图。在生产过程中，通常是对温度、压力、光强、流量等物理量进行控制，而这些模拟信号必须转换成数字信号才能由数字系统进行加工、运算和处理。

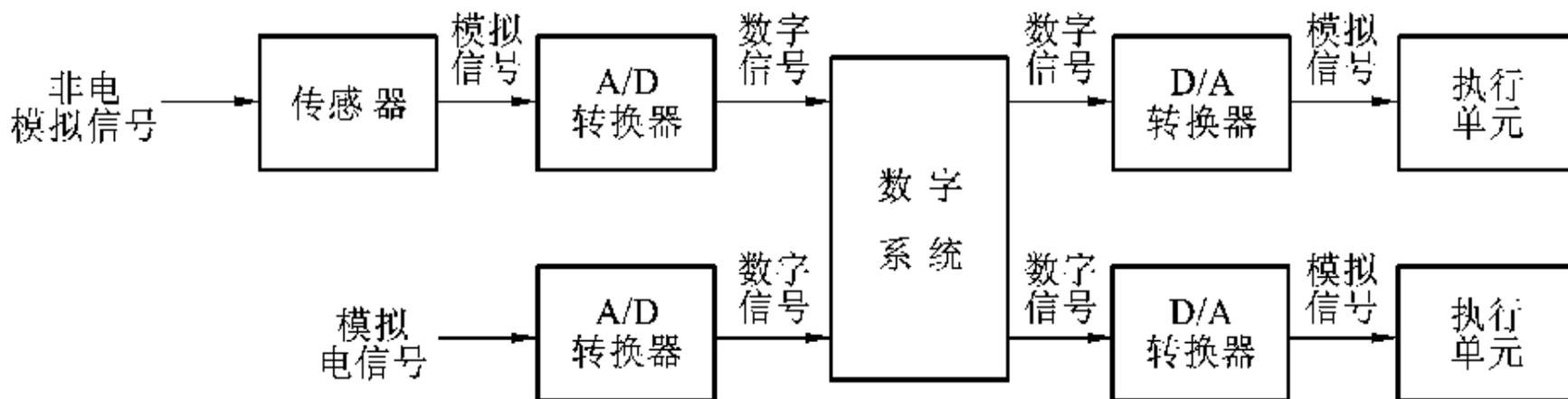
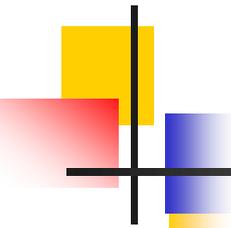


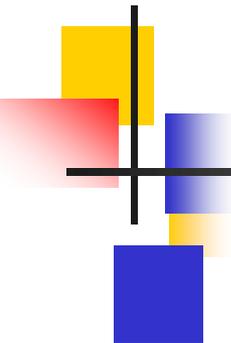
图 7-1 数字控制系统信号关系图



7.1 概述

另一方面，数字系统输出的数字信号，有时又必须转换成模拟信号才能去控制执行单元，通过执行单元对被控对象进行调节。因此，在实际应用中，数模和模数转换电路是数字系统中数字信号与外界模拟信号进行交换的接口电路，必须解决模拟信号与数字信号之间的转换问题。

把数字信号转换成模拟信号的器件称为数/模转换器，简称D/A转换器或DAC（digital to analog converter）；把模拟信号转换成数字信号的器件称为模/数转换器，简称A/D转换器或ADC（analog to digital converter）。



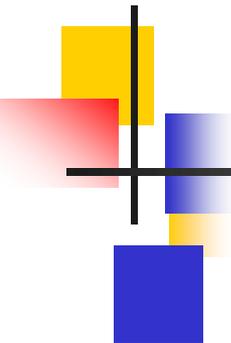
7.1 概述

7.1.1 转换关系和量化编码

1. 转换关系

理想的ADC和DAC的输入/输出转化关系如图7-2所示。无论是ADC，还是DAC，其输出与输入之间都呈正比例关系。DAC将输入数字量转换为相应的离散模拟值；ADC将连续的输入模拟量转换为相应的数字量。

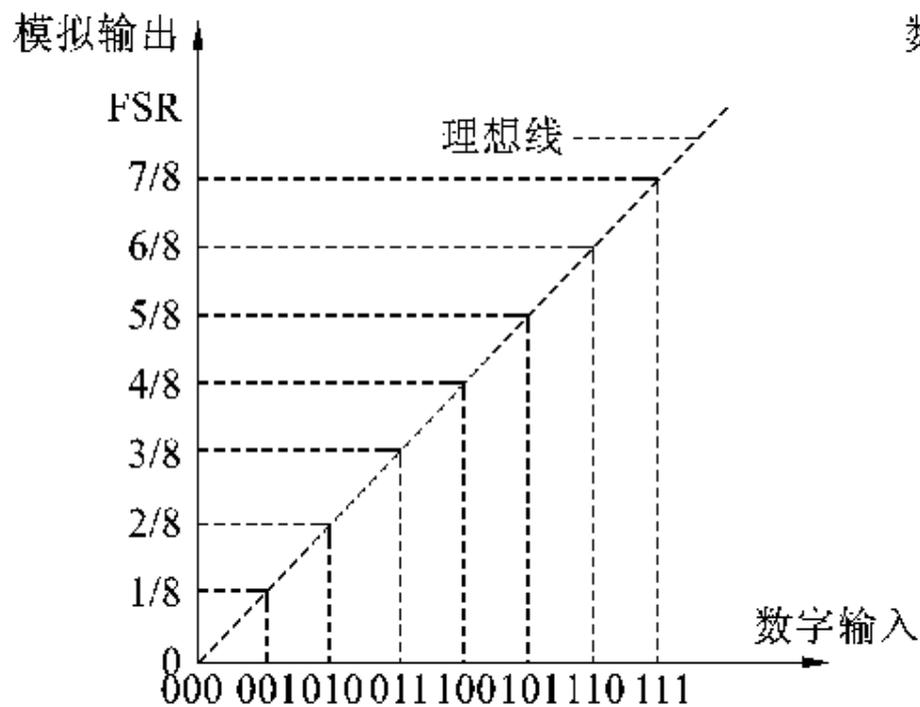
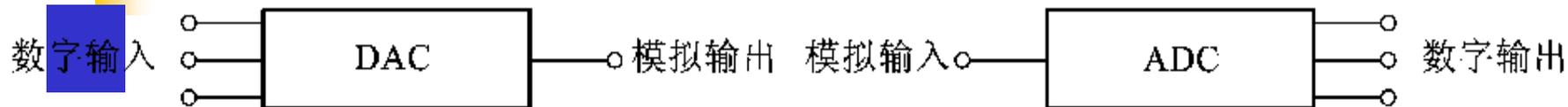
任何ADC和DAC的转换结果都是与其数字编码形式密切相关的。图7-2中转化器采用的是自然二进制码，这在转化器中称为单极性码。在转换器的应用中，通常将数字量表示为满刻度（也称满量程）模拟值的一个分数值，称为归一化表示法。



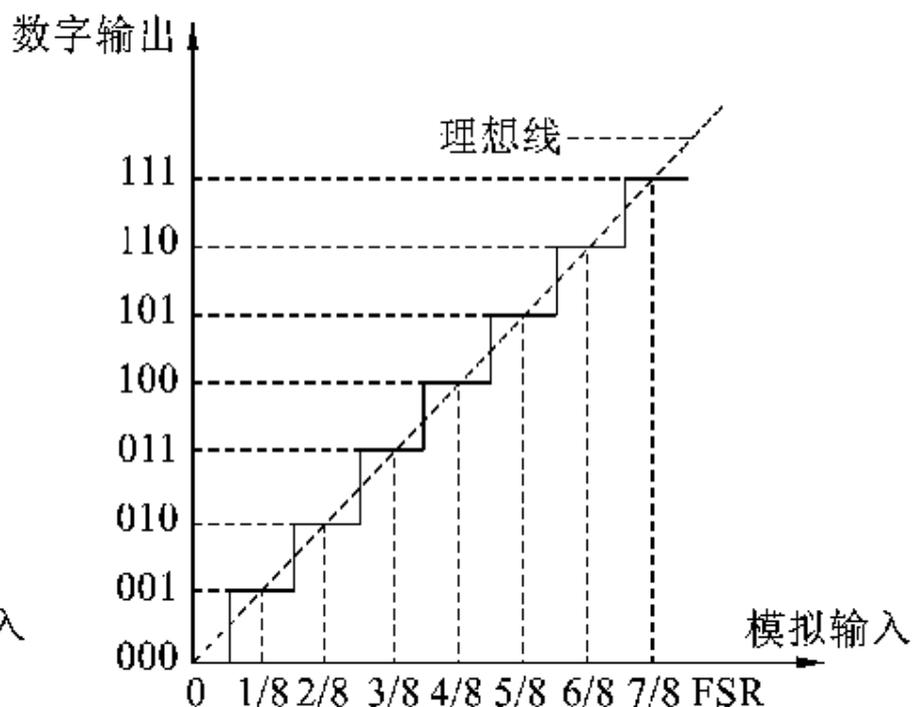
7.1 概述

例如，在图7-2 (a) 中，数字111经DAC转换为 $7/8$ FSR（FSR为满刻度值的英文字头错写），数字001转换为 $1/8$ FSR。数字的最低有效位为1，并且仅该位为1时所对应的模拟值常用LSB（least significant bit）表示，其值为 $\frac{1}{2^n}FSR$ ，其中，n为转换器的位数。

7.1 概述

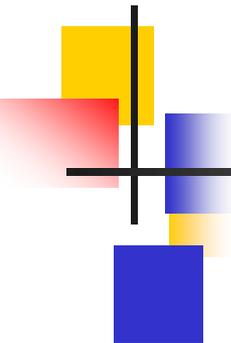


(a) 三位DAC



(b) 三位ADC

图 7-2 二进制码的三位转换关系



7.1 概述

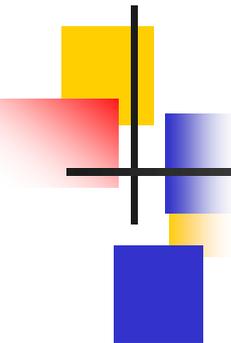
2. 量化

ADC要把模拟量转换为数字量，必须经过量化过程。所谓量化，就是以一定的量化单位，把数值上连续的模拟量通过量化装置转变为数值上离散的阶跃量的过程。例如，用天平称量重物就是量化过程。这里，天平为量化装置，物重为模拟量，最小砝码的重量为量化单位，平衡时砝码的读数为阶跃量（数字量）。

7.1 概述

很显然，只有当输入的模拟量数值正好等于量化单位的整数倍时，量化后的数字量才是准确值。否则，量化结果只能是输入模拟量的近似值。这种由于量化而引起的误差称之为ADC的量化误差。

例如，在图7-2 (b) 中，输入在 $\frac{1}{8} \pm \frac{LSB}{2}$ 之间的模拟值都转换为数字001，输入在 $\frac{7}{8} \pm \frac{LSB}{2}$ 之间的模拟值都转换为数字111。理想的ADC，其量化误差为 $\pm \frac{LSB}{2}$ 。量化误差是由于量化单位的有限造成的，所以它是原理性误差，只能减小，而无法根本消除。为减小量化误差，只能采用更小的量化单位（即增加ADC的位数，相应会提高硬件成本）。



7.1 概述

3. 数字编码

所谓数字编码，就是把量化后的数值用二进制代码表示。对于一个无极性的信号，二进制代码所有数位均为数值位，则该数为无符号数。

转换器还经常使用双极性码。双极性码可用于表示模拟信号的幅值和极性，适用于具有正负极性的模拟信号的转换。常用的双极性码有原码、反码、补码和偏移码。偏移码可直接由补码导出，补码的符号位取反即为偏移码。在转换器的应用中，偏移码是最易实现的一种双极性码。

7.1 概述

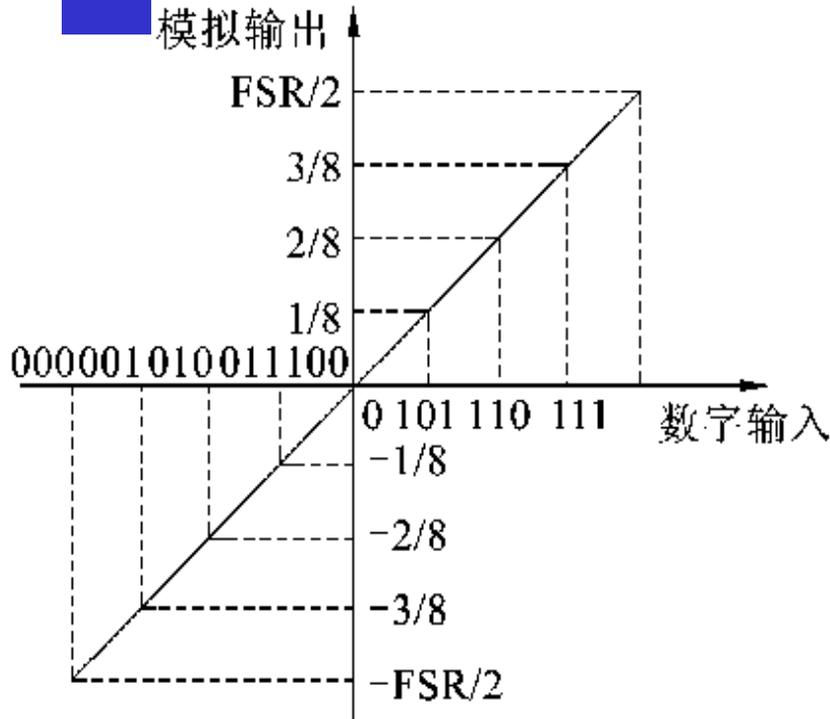
如表 7-1 所示。偏移码是由二进制码经过偏移而得到的一种双极性码。

表 7-1 常用的双极性码表(三位)

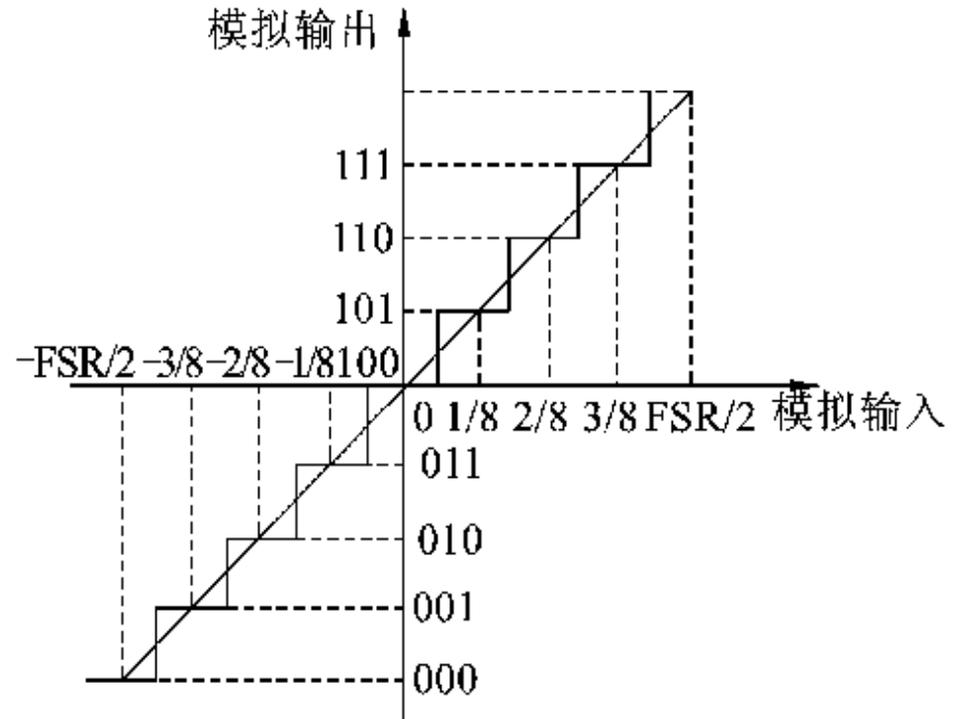
十进制分数	原码	反码	补码	偏移码
3/4	011	011	011	111
2/4	010	010	010	110
1/4	001	001	001	101
0	000	000	000	100
-1/4	101	110	111	011
-2/4	110	101	110	010
-3/4	111	100	101	001
-4/4			100	000

7.1 概述

如图7-3所示为采用偏移码的三位转换器的理想输入/输出转换图。这种转换也称为两象限转换。

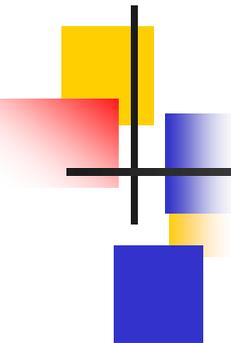


(a) 三位DAC



(b) 三位ADC

在图7-3中，因为三位偏移码的最高位都表示模拟信号的正负，因此，满刻度模拟值被划分成 $+(FSR)/2$ 和 $-(FSR)/2$ 两部分。这里，数字量所表示的模拟值被减小了 $1/2$ 。



7.1 概述

7.1.2 主要技术指标

1. 分辨率和转换精度

分辨率是转换器分辨模拟信号的灵敏度，它与转换器的位数和满刻度值相关。n位转换器的分辨率一般表示如下：

$$\text{分辨率} = \frac{1}{2^n - 1}$$

例如，5G7520是10位的D/A转换器，其分辨率如下：

$$\frac{1}{2^{10} - 1} = \frac{1}{1023} \approx 0.000978$$

有时也用常用位数来表示转换器的分辨率。

分辨率是理想状态的技术指标，而转换精度则是实际性能指标。

7.1 概述

2. 转换误差

选择转换器完成实际应用的需要，具有决定意义的因素之一是转换精度指标，而转换器的转换精度是由各项转换误差综合决定的。

1) DAC的转换误差

(1) 失调误差

(2) 增益误差

(3) 非线性误差

失调误差和增益误差可通过调整使它们在某一温度的初始值为零，但受温度系数的影响，仍存在相应的温漂失调误差和增益误差。

DAC的最大转换误差为失调误差、增益误差和非线性误差之和。

7.1 概述

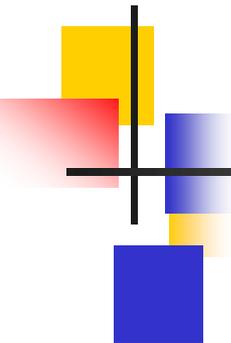
7.1.2 主要技术指标

2. 转换误差

2) ADC的转换误差

ADC也存在失调误差、增益误差和非线性误差，除此之外，还有前面提到的量化误差。**ADC的最大转换误差为量化误差、失调误差、增益误差和非线性误差之和。**

转换误差可用输出电压满刻度值的百分数表示，也可用LSB的倍数表示。例如，转换误差为 $\frac{1}{2}LSB$ 。



7.1 概述

7.1.2 主要技术指标

3. 转换速率

DAC和ADC的转换速率常用转换时间来描述，大多数情况下，**转换速率是转换时间的倒数**。DAC的转换时间是由其建立时间决定的，建立时间通常由手册给出。ADC的转换时间规定为转换器完成一次转换所需要的时间，也即从转换开始到转换结束的时间，其转换速率主要取决于转换电路的类型。



7.2 D/A转换器

D/A转换器(DAC)是将数字信号转换为模拟信号的器件。

7.2.1 D/A转换器的基本原理

众所周知，数字量是由数字字符按位组合形成的一组代码，每位字符有一定的“权”，将数字量转换成模拟量的基本原理是：首先把数字量的每一位代码按其权的大小依次转换成相应的模拟量，然后将代表各位数字量的模拟量相加，便可得到与数字量对应的模拟量。

7.2 D/A转换器

7.2.2 D/A转换器的构成

D/A转换器主要由数字寄存器、模拟电子开关、解码网络、求和电路和基准电压 U_{REF} 组成，

如图7-4所示。其中，数字寄存器用于存放 n 位数字量，寄存器输出的每位数码分别控制相应位的模拟电子开关，使之在解码网络中获得与该位数码权值对应的模拟量送至求和电路，求和电路将各位权值对应的模拟量相加，便可得到与 n 位数字量对应的模拟量。

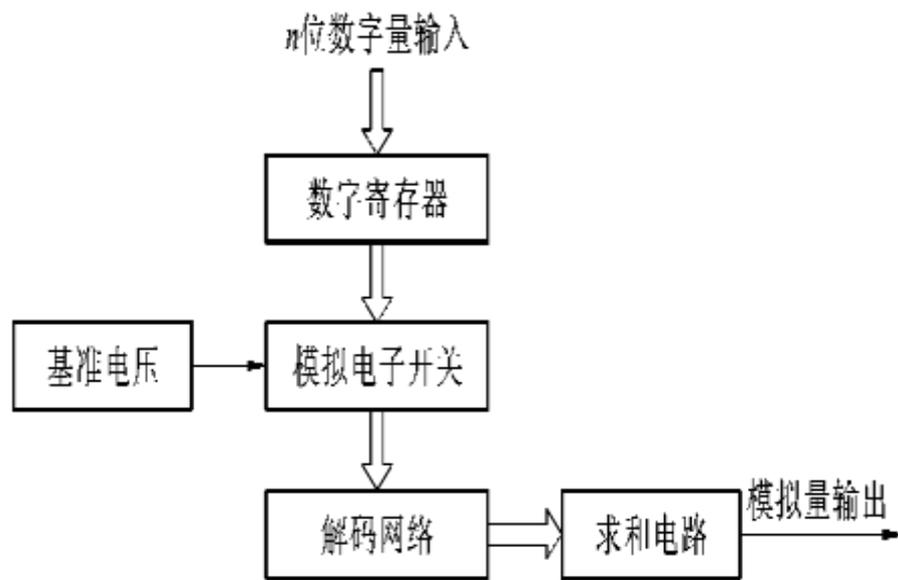


图 7-4 n 位 D/A 转换器的结构框图

7.2 D/A转换器

7.2.2 D/A转换器的构成

1. T形电阻网络DAC

如图7-5所示的是4位T形电阻网络DAC的原理图，该电路由以下四部分构成。

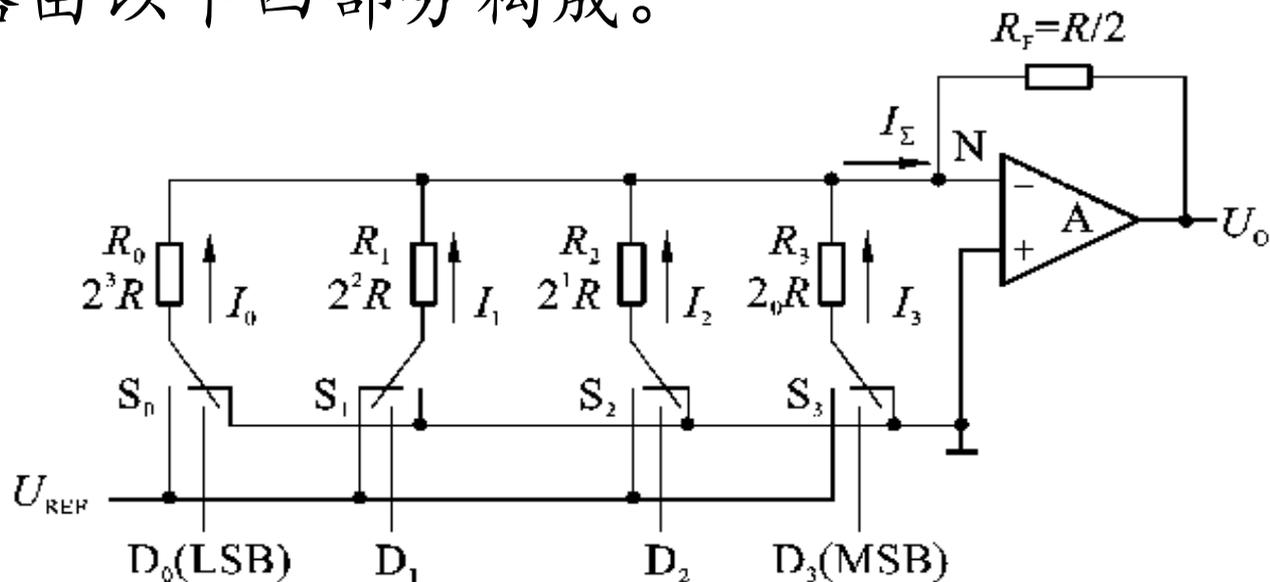


图 7-5 4 位 T 形电阻网络 DAC 电路原理图

7.2 D/A转换器

1) 模拟电子开关

每一个电阻都有一个单刀双掷的模拟开关与其串联，4个模拟开关的状态分别由4位二进制数码控制。当 $D_i=0$ 时，开关 S 打到右边，使电阻 R_i 接地；当 $=1$ 时，开关打到左边，使电阻 R_i 接基准电压 U_{REF} 。

2) 解码网络

该电阻解码网络由四个电阻构成，它们的阻值满足以下关系： $R_i = 2^{n-1-i} R$ 式中 n 为输入二进制数的位数， R_i 为与二进制数 D_i 位相对应的电阻值； 2^i 则为 D_i 位的权值，二进制数的某一位所对应的电阻的大小与该位的权值成反比，这就是权电阻网络名称的由来。

7.2 D/A转换器

例如： $R_3 = 2^{n-1-i} R = 2^{4-1-3} R = 2^0 R$, $R_0 = 2^{4-1-0} R = 2^3 R$

由此可看出，权值大的位电阻小，所以流过的电流大；权值小的位电阻大，所以流过的电流小。由最高位到最低位，每一位的电阻值是相邻位的2倍，使各支路电流 I 逐位递减12。

3) 基准电压 U_{REF}

作为A/D转换的参考值，要求其准确度高、稳定性好。

4) 求和电路

通常由运算放大器构成，并接成反相放大器的形式。

7.2 D/A转换器

将运算放大器近似看成是理想的放大器，由于N点为虚地，当 $D_i=0$ 时，相应的电阻上没有电流；当 $D_i=1$ 时，电阻 R_i 上有电流流过，大小为 $I_i=U_{REF}/R_i$ 。根据叠加原理，对于任意输入的一个二进制 $(D_3D_2D_1D_0)_2$ ，应有：

$$\begin{aligned} I_{\Sigma} &= D_3 I_3 + D_2 I_2 + D_1 I_1 + D_0 I_0 \\ &= D_3 \frac{U_{REF}}{R_5} + D_2 \frac{U_{REF}}{R_2} + D_1 \frac{U_{REF}}{R_1} + D_0 \frac{U_{REF}}{R_0} \\ &= D_3 \frac{U_{REF}}{2^{3-3} R} + D_2 \frac{U_{REF}}{2^{3-2} R} + D_1 \frac{U_{REF}}{2^{3-1} R} + D_0 \frac{U_{REF}}{2^{3-0} R} \\ &= \frac{U_{REF}}{2^3 R} \sum_{i=0}^3 D_i \times 2^i \end{aligned}$$

求和电路的反馈电阻 $R_F = R/2$ ，则输出电压 U_0 为：

$$U_0 = -I_{\Sigma} R_F = -\frac{U_{REF}}{2^4} \sum_{i=0}^3 D_i \times 2^i$$

7.2 D/A转换器

推广到n位T形电阻网络DAC电路，可得：

$$u_0 = -\frac{U_{\text{REF}}}{2^n} \sum_{i=0}^{n-1} D_i \times 2^i$$

由上式可以看出，权电阻网络DAC电路的输出电压和输入数字量之间的关系与前面的描述完全一致，即输出电压与基准电压的极性相反。

T形电阻网络DAC电路的优缺点如下。

- (1) **优点**：结构简单，所用电阻的数量比较少。
- (2) **缺点**：电阻的取值范围太大，这个问题在输入数字量的位数较多时尤其突出。

例如，当输入数字量的位数为12位时，最大电阻与最小电阻之间的比例达到2048：1，要在如此大的范围内保证电阻的精度，对于集成DAC的制造来说是十分困难的。

7.2 D/A转换器

2. 倒T形电阻网络DAC

如图7-6所示的是4位倒T形电阻网络DAC的原理图。它由模拟电子开关（ S_0 、 S_1 、 S_2 和 S_3 ）、解码网络、基准电压 U_{REF} 和求和电路四部分构成。

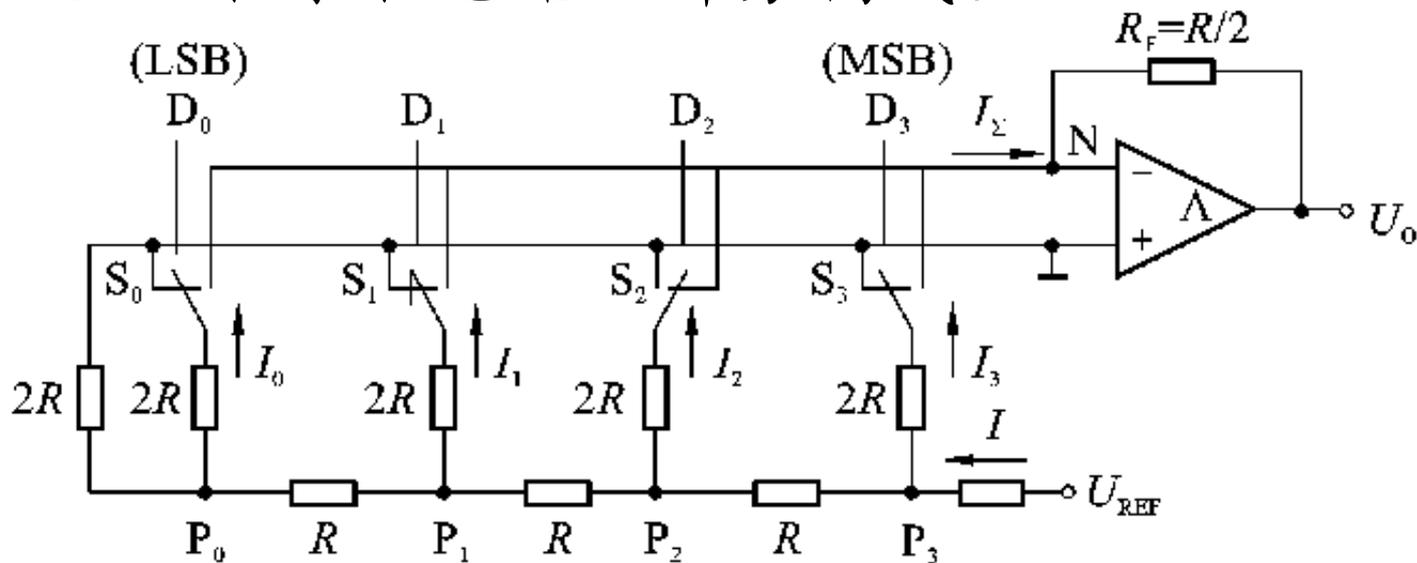


图 7-6 4 位倒 T 形电阻网络 DAC 的原理图

7.2 D/A转换器

倒T形电阻网络DAC电路的特点如下。

- (1) 电阻网络呈倒T形分布。
- (2) 倒T形电阻网络DAC电路中，模拟开关位于电阻网络和求和放大器之间，并在求和放大器的虚地N和地之间切换。当 $D_i = 1$ 时， S_i 接虚地；当 $D_i = 0$ 时， S_i 接地。

根据叠加原理，对于任意输入的一个二进制数 $(D_3D_2D_1D_0)_2$ ，流向求和放大器的电流 I_Σ 应为

$$\begin{aligned} I_\Sigma &= I_0 + I_1 + I_2 + I_3 \\ &= \frac{1}{2^4} \frac{U_{\text{REF}}}{R} (D_0 \times 2^0 + D_1 \times 2^1 + D_2 \times 2^2 + D_3 \times 2^3) \\ &= \frac{1}{2^4} \frac{U_{\text{REF}}}{R} \sum_i^3 D_i \times 2^i \end{aligned}$$

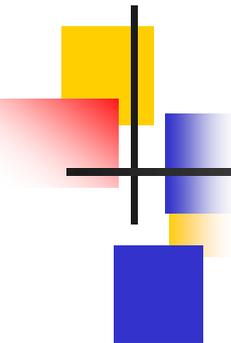
7.2 D/A转换器

求和放大器的反馈电阻 $R_F=R$ ，则输出电压 U_O 为

$$u_O = -I_{\Sigma}R_F = -\frac{U_{REF}}{2^2} \sum_{i=0}^3 D_i \times 2^i$$

倒T形电阻网络DAC电路的突出优点在于：无论输入信号如何变化，流过基准电压源、模拟开关以及各电阻支路的电流均保持恒定，电路中各节点的电压也保持不变，这有利于提高DAC的转换速度。

倒T形电阻网络DAC电路只有两种电阻值，非常便于集成，它是目前集成DAC中应用最多的转换电路之一。



7.2 D/A转换器

7.2.3 集成D/A转换器及其应用

1. 典型芯片DAC083

1) DAC0832的特性

DAC0832芯片是一个8位DAC，它能直接与51系列单片机连接，其主要特性如下。

- (1) 分辨率为8位，电流输出。
- (2) 建立时间为 $1\ \mu\text{s}$ 。
- (3) 可双缓冲输入、单缓冲输入或直接数字输入。
- (4) 单一电源供电， $+5\ \text{V}\sim+15\ \text{V}$ 。
- (5) 低功耗， $20\ \text{mW}$ 。

7.2 D/A转换器

2) DAC0832的引脚及逻辑结构

DAC0832的引脚如图7-7所示，DAC0832的逻辑结构如图7-8所示。

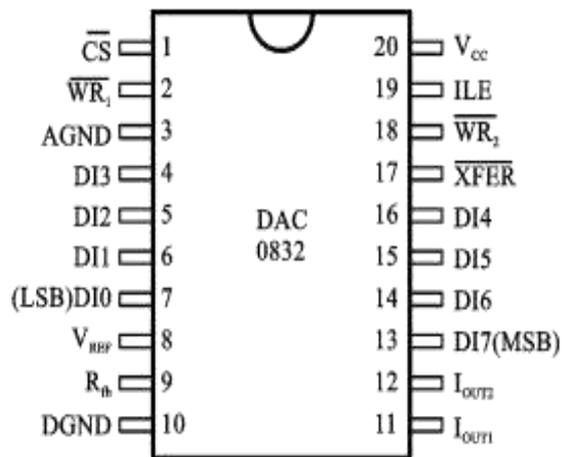


图 7-7 DAC0832 的引脚图

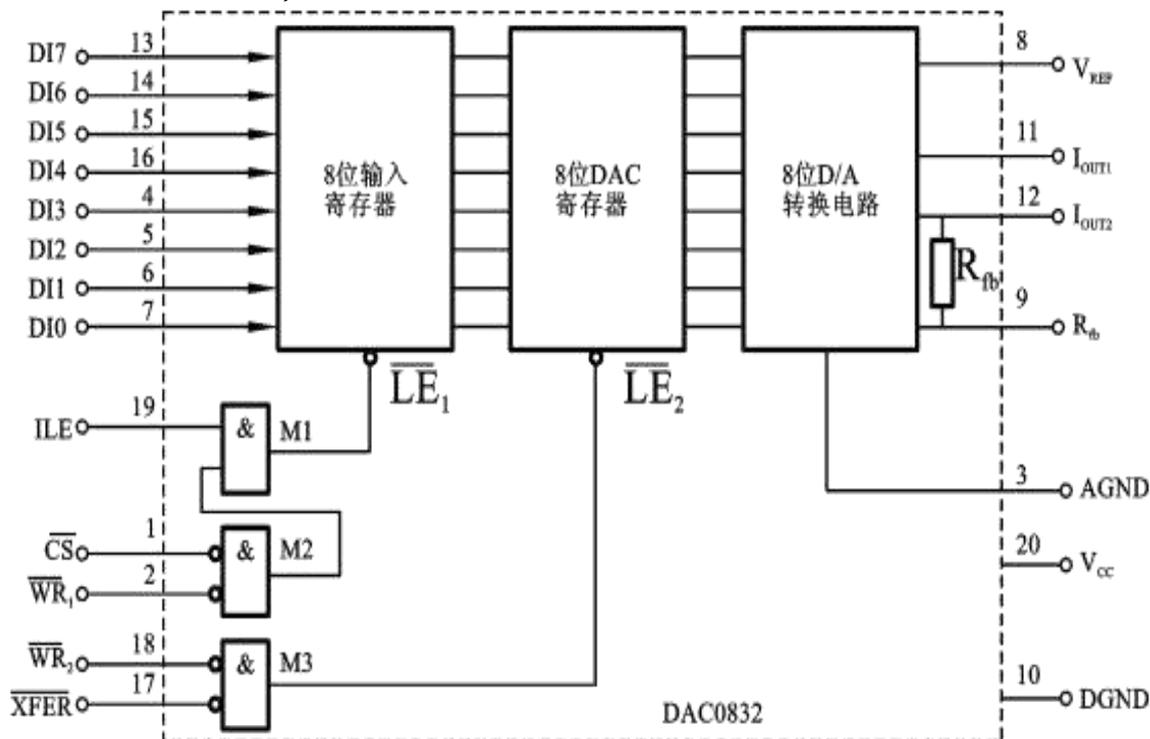


图 7-8 DAC0832 的逻辑结构

7.2 D/A转换器

(1) DAC0832中各引脚的功能如下

- $D_{17} \sim D_{10}$: 数字信号输入端, 通常与单片机的数据线相连。
- CS: 片选端, CS=0时, 芯片被选中。
- ILE: 数据锁存允许控制端, 高电平有效。
- WR_1 : 输入寄存器写选通控制端, 低电平有效。
- XFER: 数据传送控制端, 低电平有效。
- WR_2 : DAC寄存器写选通控制端, 低电平有效。
- I_{OUT1} : D/A转换器电流输出1端, 输入数字量全为“1”时, I_{OUT1} 最大, 输入数字量全为“0” I_{OUT1} 最小。

7.2 D/A转换器

(1) DAC0832中各引脚的功能如下

- I_{OUT2} : D/A转换器电流输出+2端, $I_{OUT2} = \text{常数}$ 。
- Rfb: 外部反馈信号输入端, 内部已有反馈电阻Rfb, 根据需要也可外接反馈电阻。
- VCC: 电源输入端, 在+5 V~+15 V范围内。
- DGND: 数字信号地。
- AGND: 模拟信号地, 最好与基准电压共地。

7.2 D/A转换器

(2) DAC0832的内部逻辑结构

DAC0832的内部逻辑结构由3部分电路组成如图7-8所示。

- ① 8位输入寄存器第一级 8位输入寄存器，用于存放单片机送来的数字量，使输入数字量得到缓冲和锁存，由 LE_1 加以控制；当 $ILE=1$ 时， $CS=\overline{WR}_1=0, LE_1=0$ 有效，单片机送来的数字信号锁存到8位输入寄存器中。
- ② 8位DAC寄存器第二级8位DAC寄存器，用于存放待转换的数字量，由 LE_2 控制；当 $XFER=\overline{WR}_2=0$ 时，输入寄存器中的数据送入DAC寄存器。此时，数字信号可进入8位D/A转换电路转换，并输出和数字量成正比的模拟电流。
- ③ 8位D/A转换电路。

7.2 D/A转换器

2. 典型应用

根据图7-9所示的电路，采用DAC0832作为波形发生器，产生锯齿波信号。

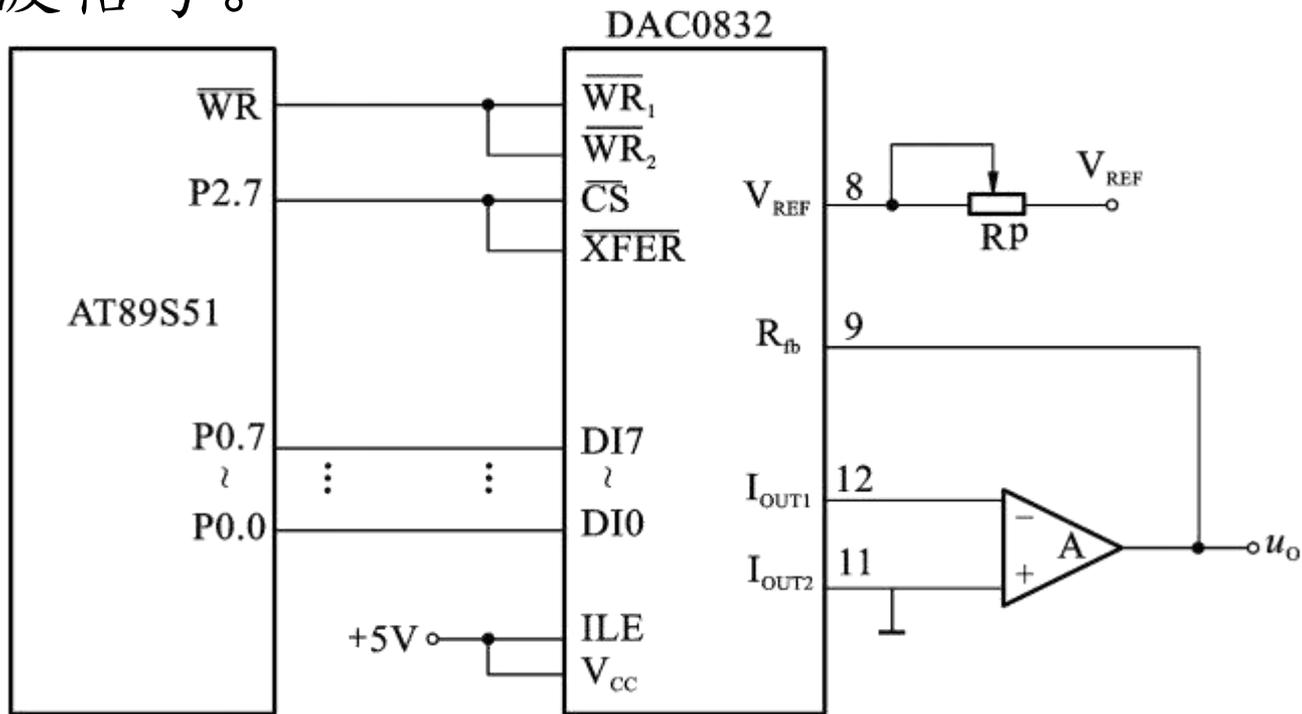


图 7-9 波形产生电路原理图

7.2 D/A转换器

1) 产生锯齿波

产生锯齿波的方法是输入D/A转换器的数字量从0开始，逐次加1，进行数字量到模拟量的转换，每次转换时加延时，形成阶梯状的输出。当输入数字量为FFH时，再加1则溢出清零，模拟输出又为0，然后再重复上述过程，如此循环，输出的波形就是锯齿波，如图7-10所示。

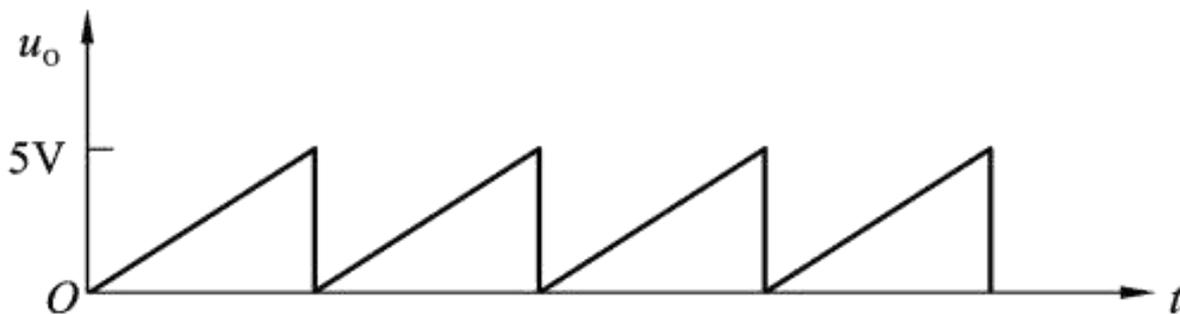


图 7-10 锯齿波

7.2 D/A转换器

2) 参考程序

产生锯齿波的参考程序如下（假定0832输入寄存器地址为7FFFH）。

(1) 汇编语言编程

```
MOVA, #00H; 取下限值  
MOVDPTR, #7FFFH; 指向0832口地址  
MM: MOVX@DPTR, A ; 输出  
INCA; 数字量加1  
NOP; 延时  
NOP  
NOP  
SJMPMM; 反复
```

7.2 D/A转换器

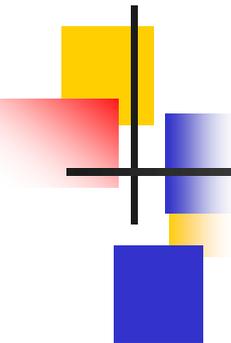
(2) C51编程

```
#include<absacc.h>//绝对地址访问头文件
#include<reg51.h>
#define uchar unsigned char
#define uint unsigned int
#define DA0832 XBYTE\[0x7fff\]//DAC0832地址, 设
P2.7=0, 其余地址线为1
void delay_1ms ()
{TH1=0xfc;//置定时器初值
TL1=0x18;
TR1=1;//启动定时器1
while (!TF1) ;//查询计数是否溢出TF1=1
TF1=0;//1 ms时间到, TF1清零
}
```

7.2 D/A转换器

```
void main () //主函数
{uchar i;
TMOD=0x10; //置定时器1为方式1
while (1)
    {for (i=0; i<=255; i++) //形成锯齿波输出值,
    最大255
    {DA0832=i; //D/A转换输出
    delay_1ms ();
    }
    }
```

改变程序的幅值可以调整锯齿波的幅度，改变延时时间可以调整锯齿波的周期。



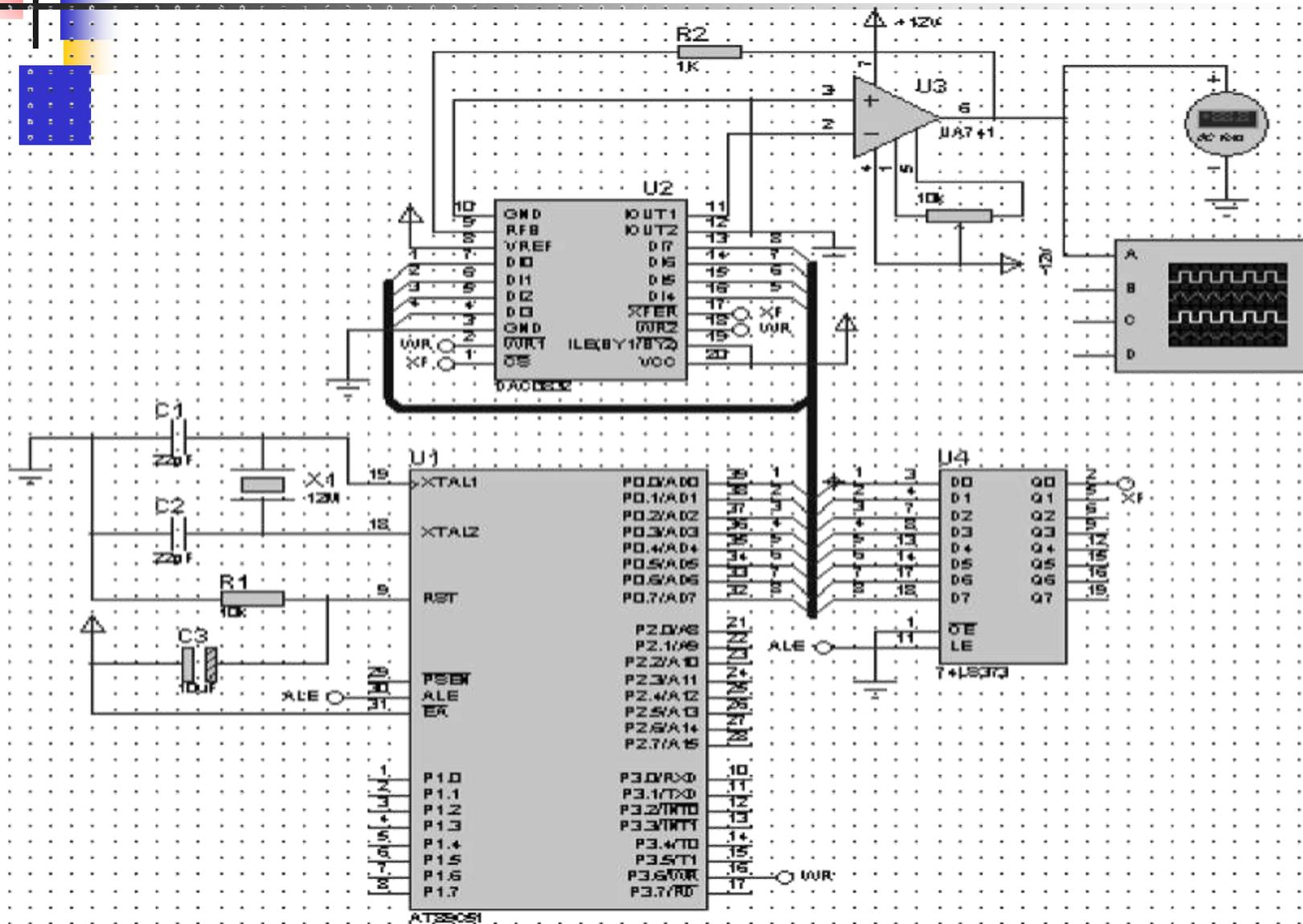
7.2 D/A转换器

3) 仿真

对于学有余力的同学，可以采用DAC0832，在Proteus上设计如图7-11所示的电路，并采用上述相关程序生成锯齿波，并在示波器上观看波形。

使用的元器件包括：单片机AT89S51、电容CAP 30 pF、晶振CRYSTAL 12 MHz、电解电容 CAP ELEC、电阻 REP、锁存器 74LS373、电位器 POT、运放 UA741、D/A转换器DAC0832、示波器等。

7.2 D/A转换器





7.3 A/D转换器

A/D转换器（ADC）是把模拟量转换成数字量的器件。

7.3.1 A/D转换器的分类

A/D转换器的类型有很多，根据工作原理的不同，可分为直接转换型A/D转换器和间接转换型A/D转换器两大类。

7.3 A/D转换器

1. 直接转换型A/D转换器

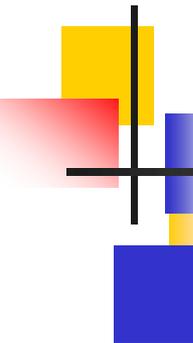
直接转换型A/D转换器可以直接将采样保持电路输出的模拟信号转换成数字信号。这类A/D转换器最大的特点是转换速度快，广泛应用于各种控制系统中。根据转换方法的不同，最典型的直接A/D转换器有两种：并行比较型A/D转换器和逐次比较型A/D转换器。

并行比较型A/D转换器由电阻分压器、电压比较器、数码寄存器和编码器4个部分组成。由于是并行转换，所以这种A/D转换器最大的优点是转换速度快，转换时间只受电路传输延时时间的限制；缺点是随着输出二进制位数的增加，器件数目按几何级数增加。一个n位的转换器，需要 $2^n - 1$ 个比较器。

7.3 A/D转换器

例如：当 $n=8$ 时，需要 $255(2^8-1)$ 个比较器。因此，制造高分辨率的集成并行A/D转换器受到一定限制，所以这种类型的A/D转换器适用于要求转换速度快但分辨率较低的情况。

逐次比较型A/D转换器由电压比较器、逻辑控制器、D/A转换器和数码寄存器组成。这种A/D转换器最大的特点是转换速度较快，并且输出代码的位数多、精度高，它是集成A/D转换芯片中使用最广泛的一种类型。

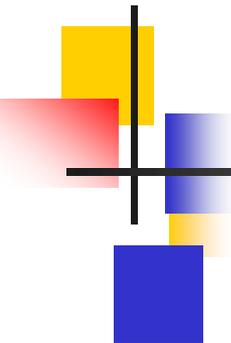


7.3 A/D转换器

2. 间接转换型A/D转换器

间接转换型A/D转换器是先将采样保持电路输出的模拟信号转换成时间或频率，然后将时间或频率转换成数字量输出。这类A/D转换器的特点是转换速度较低，但转换精度较高。最典型的间接A/D转换器有双积分型A/D转换器。

双积分型A/D转换器将输入的模拟电压转换成一个与之成正比的时间宽度信号，然后在这个时间宽度里对固定频率的时钟脉冲进行计数，其结果就是正比于输入模拟信号的数字量输出。它由积分器、过零比较器、时钟控制门和计数器等几部分组成

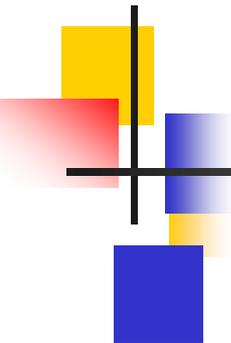


7.3 A/D转换器

7.3.2 A/D转换器的基本原理

实现A/D转换的方案有很多种，不同方案所对应的电路形式及其工作原理各不相同。下面以逐次比较型A/D转换器为例，对A/D转换器的工作原理进行简单介绍。

逐次比较型A/D转换器是通过逐个产生比较电压，依次与输入电压进行比较，以逐渐逼近的方式进行A/D转换的器件，故又称为逐次逼近型A/D转换器。用逐次逼近方式进行A/D转换的过程与用天平称重的过程十分类似。天平称重的过程是，从质量最大的砝码开始试放，与被称物体质量进行比较，若砝码的质量大于物体的质量，则去除该砝码，否则保留；再加上质量次之的砝码，同样根据砝码的质量



7.3 A/D转换器

是否大于物体的质量，决定第二个砝码是被去除还是留下；依此类推，一直加到最小的一个砝码为止。将所有留下的砝码质量相加，即可得到物体质量。按此思想，逐次比较型A/D转换器就是将输入模拟信号与不同的比较电压进行多次比较，使转换所得的数字量在数值上逐渐逼近输入模拟量的对应值。

逐次比较型A/D转换器的结构如图7-12所示。它由控制与时序电路，逐次逼近寄存器、D/A转换器、电压比较器以及输出数据寄存器等主要部分组成。

7.3 A/D转换器

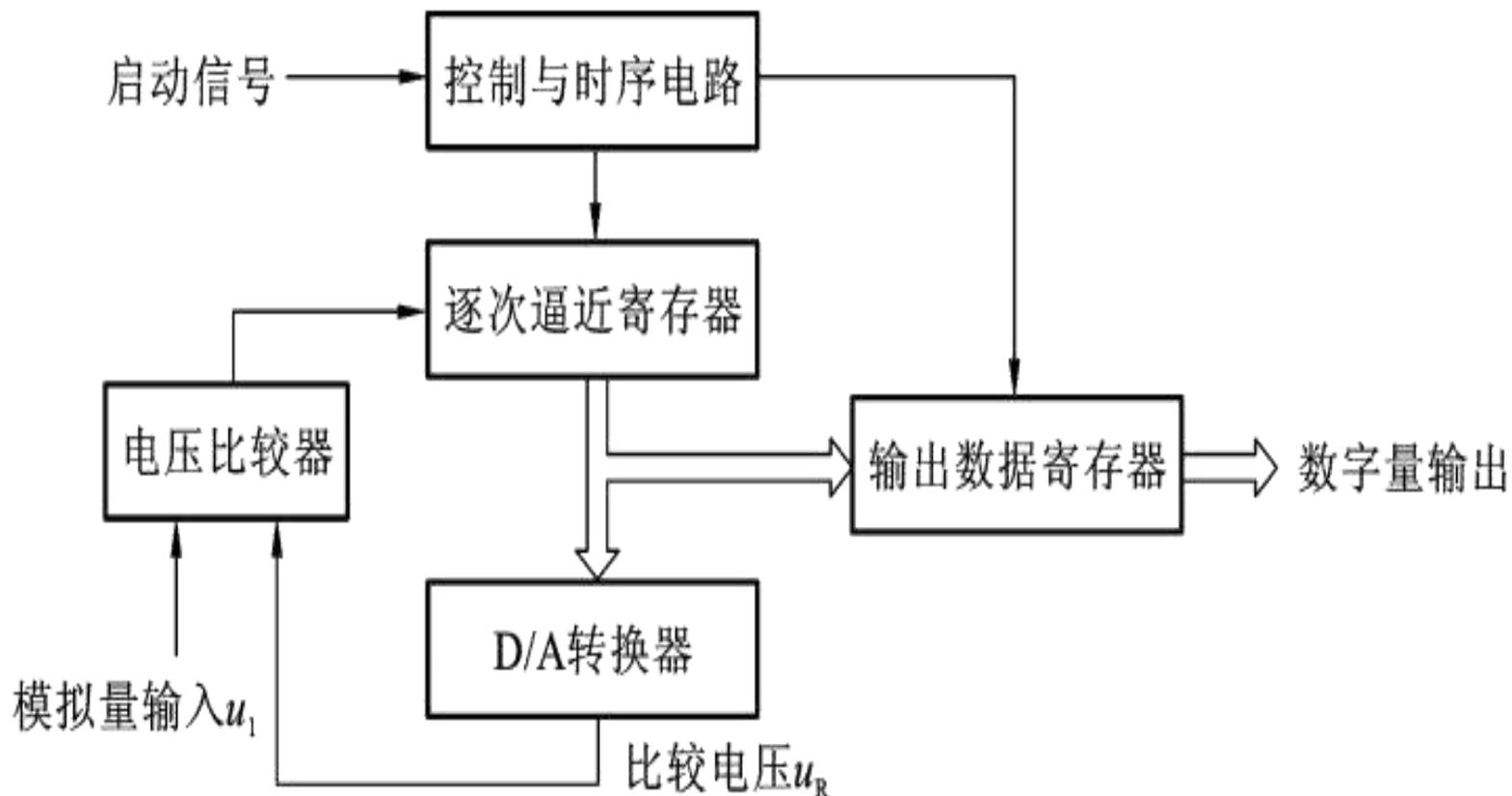


图 7-12 逐次比较型 A/D 转换器的结构框图

7.3 A/D转换器

逐次比较型A/D转换器各组成部分的功能如下。

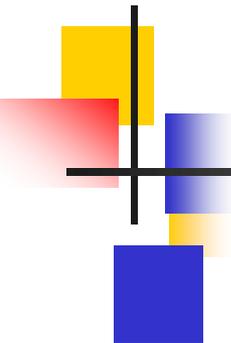
● 控制与时序电路：产生A/D转换器工作过程中所需要的控制信号和时钟信号。

● 逐次逼近寄存器：在控制信号作用下，记忆每次比较结果，并向D/A转换器提供输入数据。

● D/A转换器：产生与逐次逼近寄存器中数据对应的比较电压 u_R 。

● 电压比较器：将模拟量输入信号 u_1 与比较电压 v_R 进行比较，当 $u_1 \geq u_R$ 时，比较器输出为1，否则，比较器输出为0。

● 输出数据寄存器：存放最后的转换结果，并行输出二进制代码。



7.3 A/D转换器

如图7-12所示的逐次比较型A/D转换器的工作原理如下。

电路由启动信号启动后，在控制与时序电路作用下，首先将逐次逼近寄存器的最高位置1，其他位置0。逐次逼近寄存器的值输出送至D/A转换器，由D/A转换器产生相应的比较电压 u_R 送至电压比较器，与模拟量输入信号 u_1 进行比较。当 $u_1 \geq u_R$ 时，比较器输出为1，否则，比较器输出为0，比较结果被存入逐次逼近寄存器的最高位。

7.3 A/D转换器

然后，在控制与时序电路作用下，将逐次逼近寄存器的次高位置1，其余低位置0，由D/A转换器产生与逐次逼近寄存器中数据对应的比较电压 U_R 送至电压比较器，与模拟量输入信号进行比较，并将比较结果存入逐次逼近寄存器的次高位置。依此类推，直至确定出逐次逼近寄存器最低位的值为止，即可得到与输入模拟量对应的数字量。该数字量在控制与时序电路作用下，被存入输出数据寄存器。

7.3 A/D转换器

7.3.3 A/D转换器的主要技术参数

A/D转换器的主要技术参数如下。

1) 转换时间或转换速率

转换时间是指A/D转换器完成一次转换所需要的时间，转换时间的倒数为转换速率。

2) 分辨率

在A/D转换器中，分辨率是衡量A/D转换器能够分辨出输入模拟量最小变化程度的技术指标。分辨率取决于A/D转换器的位数，所以习惯上用输出的二进制位数或BCD码位数表示。逐次比较型A/D转换器

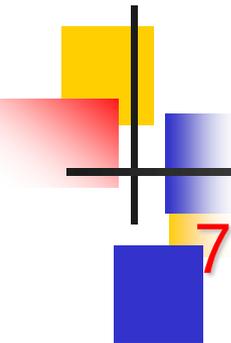
7.3 A/D转换器

如AD0809的满量程输入电压为5 V，可输出8位二进制数，即用256个数进行量化，其分辨率为1LSB，也即 $5\text{ V}/256=19.5\text{ mV}$ ，其分辨率为8位，或者说A/D转换器能分辨出输入电压19.5 mV的变化。

量化过程引起的误差称为量化误差。量化误差是由于有限位数字量对模拟量进行量化而引起的误差。量化误差理论上规定为一个单位分辨率的 $\pm\frac{1}{2}\text{ LSB}$ ，提高A/D转换器的位数既可以提高分辨率，又能够减少量化误差。

3) 转换精度

A/D转换器的转换精度定义为一个实际A/D转换器与一个理想A/D转换器在量化值上的差值，可用绝对误差或相对误差表示。



7.3 A/D转换器

7.3.4 集成A/D转换器及其应用

1. 典型ADC0809

1) ADC0809的引脚及功能

ADC0809是一种逐次比较型8路模拟输入、8位数字量输出的A/D转换器，其引脚和内部结构图如图7-13所示。

7.3 A/D转换器

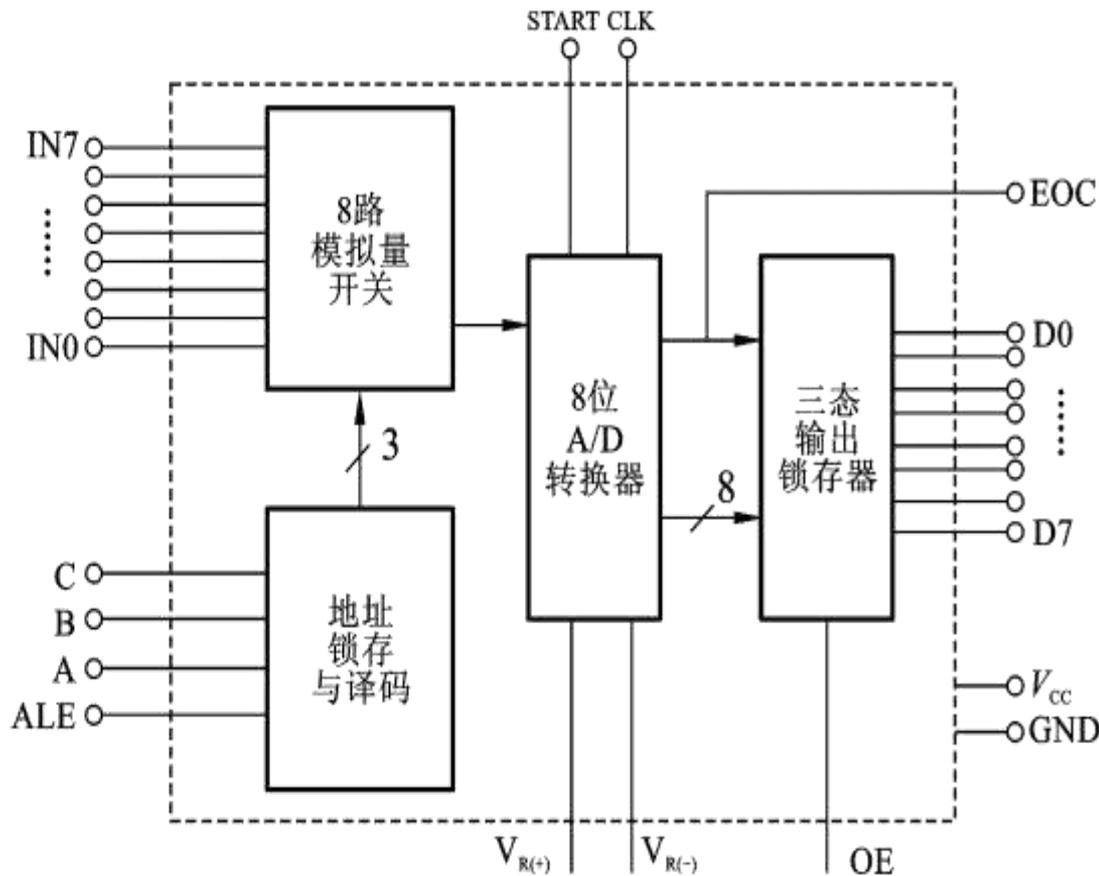
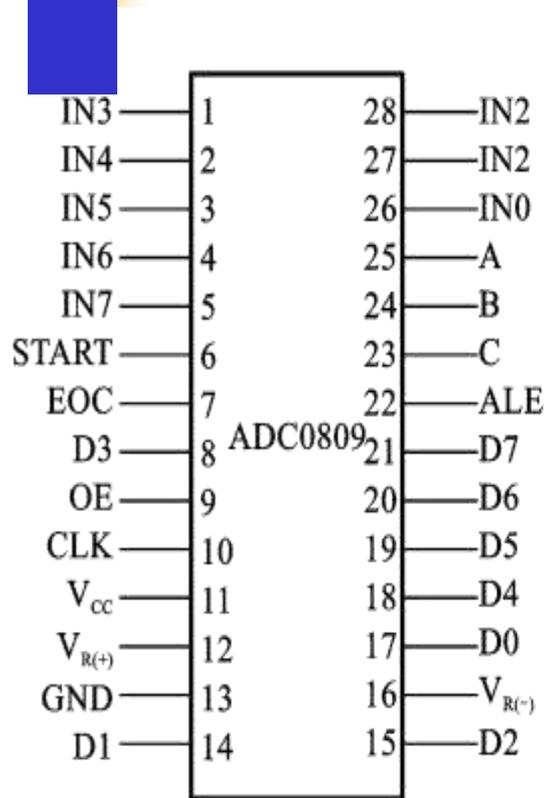


图 7-13 ADC0809 引脚和结构图

7.3 A/D转换器

1) ADC0809的引脚及功能

ADC0809共有28个引脚，采用双列直插式封装。其主要引脚的功能如下。

● IN0~IN7：8个模拟信号输入端。

● D0~D7：转换完毕的8位数字量输出端。

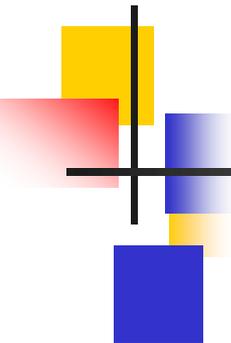
● A、B、C与ALE：控制8路模拟输入通道的切换。

A、B、C分别与单片机的3条地址线相连，三位编码对应8个通道地址端口。CBA=000~111分别对应并选中IN0~IN7通道。各路模拟输入之间的切换由软件改变C、B、A引脚上的编码来实现。

7.3 A/D转换器

1) ADC0809的引脚及功能

- **START、CLK**: START为启动A/D转换信号，CLK为时钟信号输入端。
- **EOC**: 转换结束输出信号。A/D转换开始转换时，该引脚为低电平，当A/D转换结束时，该引脚为高电平，可以通过查询或申请中断来处理转换后的数字量。
- **OE**: OE为输出允许端，有效时三态输出锁存器打开，数据可以送出。

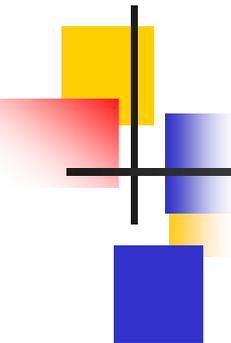


7.3 A/D转换器

2) ADC0809转换原理

ADC0809采用逐次比较的方法完成A/D转换，由单一的+5 V电源供电。片内带有锁存功能的8路选1的模拟开关，由C、B、A引脚的编码决定所选的通道。ADC0809完成一次转换需100 μ s左右（典型时钟频率500 kHz~1 MHz），它具有输出TTL三态锁存缓冲器，可直接与AT89S51单片机的数据总线连接。

其转换步骤为：使C、B、A地址与ALE有效，选择IN0~IN7中的一路模拟信号进入A/D转换器；启动START信号开始转换；检测EOC信号看是否转换结束；当EOC=1时，表明转换结束，可使OE有效将转换后的数字量输出。



7.3 A/D转换器

2. 典型应用

ADC0809与单片机的典型连接如图7-14所示。由于ADC0809片内无时钟，可利用AT89S51单片机提供的ALE信号经D触发器二分频后获得时钟信号，ALE引脚的频率是AT89S51单片机时钟频率的1/6。如果单片机时钟频率采用6 MHz，则ALE引脚的输出频率为1 MHz，再二分频后为500kHz，符合ADC0809对时钟频率的要求。若采用独立的时钟源，可直接加到ADC0809的CLK引脚上。

8位数据输出引脚D0~D7接单片机的P0口。地址译码引脚C、B、A分别与地址总线的低三位A2、A1、A0相连，用于选择IN0~IN7中的一个通道。

7.3 A/D转换器

```
MOV R0, #0A0H; 数据存储区首地址
MOVR2, #08H; 8路计数器
SETBIT1; 边沿触发方式
SETBEA; 中断允许
SETBEX1; 允许外部中断1中断
MOVDPTR, #0FEF8H; D/A转换器地址
LOOP: MOVX@DPTR, A; 启动A/D转换
HERE: SJMPHERE; 等待中断
DJNZR2, ADEND
MOVXA, @DPTR; 数据采样
MOVX@R0, A; 存数
INCDPTR; 指向下一模拟通道
INCR0; 指向数据存储器下一单元
MOVX@DPTR, A
ADEND: RETI
```

(1) 汇编程序段

7.3 A/D转换器

(2) C51参考程序如下

```
#include<absacc. h>
#include<regsl. h>
unsigned char xdata *ADCstart; /*定义的0809
启动端口地址指针*/
unsigned char xdata *ADCdata; *定义存放转换
结果的外部数据缓冲区指针*/
unsigned char i
void main ()
{ ADCstart=0x7fff;
ADCdata=0x2000;
i=8;
```

7.3 A/D转换器

```
EA=1; EX1=1; IT1=1; /*外中断允许, 跳沿触发方式*/
*ADCstart=i; /*启动A/D转换*/
while (1);
}
void in0l () interrupt 0 /*中断0的中断服务函数*/
{ unsigned char tmp;
tmp=*ADCstart; /*读入转换结果到tmp中*/
*ADCtata=tmp; /*转换结果存入到外部RAM中*/
ADCdata++;
i++; /*ADC通道号加1*/
*ADCstart=i; /*启动下一ADC通道*/
}
```

7.3 A/D转换器

本例采用两个指针变量：`*ADCstart`和`*ADCdata`，分别指向ADC0809的端口地址`0x7fffH`和外部RAM的`0x2000H~0x2007H`单元。`main()`函数中通过赋值语句“`*ADC start=i;`”启动A/D转换，转换结束时产生中断请求，在中断函数 `int0()` 中，通过赋值语句“`tmp=*ADCdate;`”和“`*ADCtada=tmp;`”读取A/D转换结果值并存储到外部 RAM中的`0x2000H~0x2007H`单元。

在实际应用中，除了可以采用指针变量实现对内存地址的直接操作外，还可以用绝对地址的预定义头文件“`absacc h`”，来十分方便地实现对任意内存空间的直接操作。